

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-211093

(43)Date of publication of application : 11.08.1995

(51)Int.Cl. G11C 17/18
G11C 16/06

(21)Application number : 06-003144

(71)Applicant : TOSHIBA CORP
TOSHIBA MICRO ELECTRON KK

(22)Date of filing : 17.01.1994

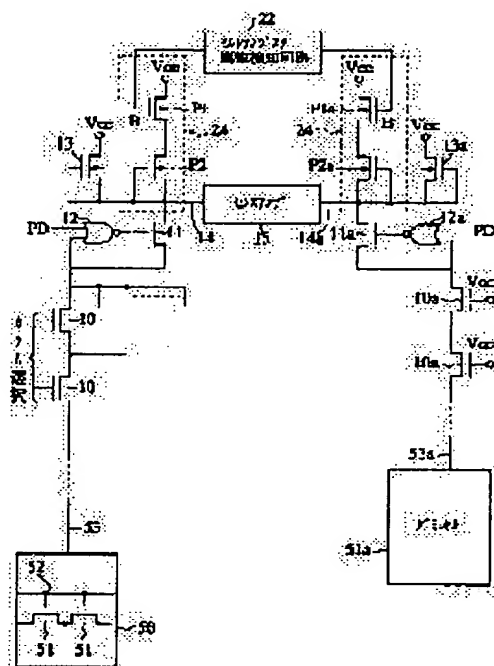
(72)Inventor : IWASE TAIRA

(54) READ ONLY STORAGE DEVICE

(57)Abstract:

PURPOSE: To realize ROM which can set the power supply voltage to an upper limit for ensuring stable operation even when the threshold value of cell transistor is set to a rather lower value.

CONSTITUTION: A sense amplifier 15 is used. This sense amplifier 15 reads a cell data by comparing the potential read to the bit line 53 from a memory cell 51 with the reference voltage read to a dummy bit line 53a from a dummy cell 51a. A threshold value of a cell transistor under the writing condition in the memory cell array 10 is equivalently detected to control the bit line load and dummy bit line load. Thereby, the power supply dependence compensating circuits 22, 24 for compensating dependence of the read voltage from the cell transistor on the power supply can be comprised.



LEGAL STATUS

[Date of request for examination]

24.02.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japanese Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-211093

(43) 公開日 平成7年 (1995) 8月11日

(51) Int. Cl. ⁶

識別記号

庁内整理番号

F I

技術表示箇所

G 1 1 C 17/18

16/06

G 1 1 C 17/00

3 0 6

A

5 2 0

C

審査請求 未請求 請求項の数 3 O L (全 7 頁)

(21) 出願番号 特願平6-3144

(22) 出願日 平成6年 (1994) 1月17日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(71) 出願人 000221199

東芝マイクロエレクトロニクス株式会社

神奈川県川崎市川崎区駅前本町25番地1

(72) 発明者 岩瀬 平

神奈川県川崎市川崎区駅前本町25番地1

東芝マイクロエレクトロニクス株式会社内

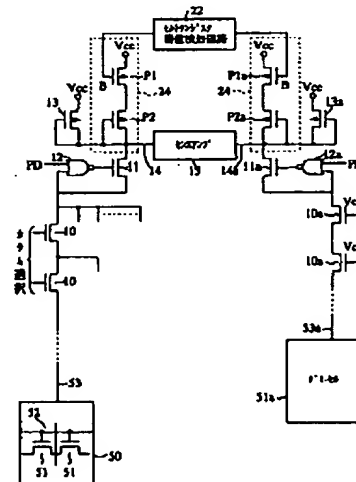
(74) 代理人 弁理士 鈴江 武彦

(54) 【発明の名称】 読み出し専用記憶装置

(57) 【要約】

【目的】 セルトランジスタの閾値 V_{TH} を比較的低く設定した場合でも、安定動作が可能な電源電位の上限を高くし得るROMを提供する。

【構成】 メモリセル51からビット線53に読み出された電位をダミーセル51aからダミービット線53aに読み出された基準電位と比較してセルデータを読み出すセンスアンプ15を用いたROMにおいて、メモリセルアレイ10における書込み状態のセルトランジスタの閾値を等価的に検出してビット線負荷およびダミービット線負荷を制御することにより、セルトランジスタからの読み出し電位の電源電位依存性を補償する電源依存性補償回路(22、24、51b、53b)を具備することを特徴とする。



【特許請求の範囲】

【請求項1】 読み出し専用メモリセルが行列状に配列されたメモリセルアレイと、

上記メモリセルアレイにおける同一列のメモリセルトランジスタのドレインに共通に接続されているビット線と、

このビットに接続されたビット線負荷回路と、

第1のダミービット線と、

この第1のダミービット線にドレインが接続され、前記メモリセルと同じ構造を有し、非書き込み状態のメモリセルと等価な閾値を有し、ゲートに読み出し電位が印加される第1のダミーセルトランジスタと、

前記第1のダミービット線に接続されたダミービット線負荷回路と、

データ読み出し時に前記ビット線および第1のダミービット線間の電位差をセンス増幅するセンスアンプと、前記メモリセルアレイにおける書き込み状態のセルトランジスタの閾値を検出して前記ビット線の負荷を制御することにより、セルトランジスタからの読み出し電位の電源電位依存性を補償する電源依存性補償回路とを具備することを特徴とする読み出し専用記憶装置。

【請求項2】 請求項1記載の読み出し専用記憶装置において、

前記電源依存性補償回路は、

第2のダミービット線と、

この第2のダミービット線にドレインが接続され、前記メモリセルアレイにおける書き込み状態のメモリセルトランジスタと等価なビット線駆動能力を有し、ゲートに読み出し電位が印加される第2のダミーセルトランジスタと、

データ読み出し時に上記第2のダミービット線に流れる電流に基づいて前記第2のダミーセルセルトランジスタの閾値を検出することにより等価的に前記セルトランジスタの閾値を検出するセルトランジスタ閾値検知回路と、

このセルトランジスタ閾値検知回路の検知出力を受けて前記ビット線の負荷を制御する負荷制御回路とを具備することを特徴とする読み出し専用記憶装置。

【請求項3】 請求項1または2記載の読み出し専用記憶装置において、

前記負荷制御回路は、前記セルトランジスタ閾値検知回路の検知出力を受けてさらに前記ダミービット線の負荷を制御することを特徴とする読み出し専用記憶装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、半導体読み出し専用記憶装置（以下、ROMと記す）に係り、特にメモリセルからの読み出し電位をダミーセルからの読み出し電位と比較してセルデータを読み出すセンスアンプを用いた読み出し回路に関する。

【0002】

【従来の技術】 ROMのメモリセルのパターンサイズの縮小化を図るために、半導体基板中のN⁺型埋め込み層をセルトランジスタのソース・ドレインに用いることにより、セルアレイ内に素子分離領域をなくすることが可能になる仮想グランド方式のメモリセル（例えば本願出願人の出願に係る特願平3-332071号の「読出専用メモリ」）が用いられるようになった。

【0003】 この仮想グランド方式のメモリセルに対するデータ“0”、“1”のプログラムは、メモリセルのチャネル領域にボロイオンを注入するか否かによってセルトランジスタの閾値V_{TH}を制御することにより行う。

【0004】 図5は、仮想グランド方式のメモリセルを用いたCMOS型のマスクROMにおける一部を示す回路図である。図5において、NチャネルMOSトランジスタからなるセルトランジスタ（本体セル）51は行列状に配列されてメモリセルアレイ50を構成しており、このメモリセルアレイは複数のメモリセルブロックに分割されている。

【0005】 52は上記メモリセルアレイにおける同一行のROMセル51のゲートに共通に接続されているワード線であり、代表的に1本のみ示している。このワード線52は、ロウデコーダ（図示せず）により選択され、ワード線駆動信号が供給される。

【0006】 53は上記メモリセルアレイ50における同一列のROMセルのドレインに共通に接続されているビット線であり、代表的に1本のみ示している。また、上記ROMでは、例えば2個のメモリセルブロックで1つのビット線（金属配線）53を共用すると共に1つの仮想グランド線（金属配線）54を共用している。

【0007】 そして、この2個のメモリセルブロックを択一的に選択するために、各メモリセルブロックの一端とビット線53とを選択的に接続するようにブロック選択用のトランジスタ55を直列に接続し、各メモリセルブロックの他端と仮想グランド線とを選択的に接続するようにブロック選択用のトランジスタ56を直列に接続している。上記ブロック選択用トランジスタ55、56はブロック選択線57、58により制御される。

【0008】 この結果、選択状態のメモリセルブロックから、選択セルの書き込み状態／非書き込み状態に対応して“H”レベルまたは“L”レベルの読み出し出力が得られる。

【0009】 10はカラム選択用のエンハンスメント型Nチャネルトランジスタ、11はビット線トランスファゲート用のエンハンスメント型Nチャネルトランジスタ、12はビット線電位およびパワーダウン制御信号PDが入力し、出力を前記ビット線トランスファゲート用トランジスタ11のゲートに供給するフィードバック用の二入力ノアゲートである。

【0010】13はゲート・ドレイン相互が接続されたビット線負荷用のエンハンスメント型Pチャネルトランジスタ、14はセンス線である。上記したビット線トランスファゲート用トランジスタ11、フィードバック用ノアゲート12および負荷用トランジスタ13は、ビット線の電位振幅をレベルシフト・増幅する作用を有する。

【0011】15は、本体セル51からの読み出し電位をダミーセル回路側からの読み出し電位（基準電位Vref）と比較して増幅することにより、本体セル51が書き込み状態であるか否かを判別する差動型センスアンプである。

【0012】上記ダミーセル回路側において、51aはダミーセル、53aはダミービット線、10aはダミービット線選択用のエンハンスメント型Nチャネルトランジスタであり、そのゲートには読み出し電位VCCが印加される。

【0013】11aはダミービット線に直列に挿入接続されたトランスファゲート用のエンハンスメント型Nチャネルトランジスタ、12aは上記トランスファゲートに対するフィードバック用の二入力ノアゲート、13aはゲート・ドレイン相互が接続されたダミービット線負荷用のエンハンスメント型Pチャネルトランジスタ、14aはダミーセル側センス線である。

【0014】次に、図5の読み出し回路における本体セル51からの読み出し電位とダミーセル回路側からの基準電位Vrefについて簡単に説明する。選択された本体セル51が書き込み状態（オフ状態）であると、カラム選択用トランジスタ10がオン状態の時にビット線53の電位は高レベル“H”になる。上記とは逆に、選択された本体セル51が非書き込み状態（オン状態）であると、カラム選択用トランジスタ10がオン状態の時にビット線53の電位は低レベル“L”になる。

【0015】ここで、ダミーセル51a、ダミービット線選択用トランジスタ10aおよびダミービット線トランスファゲート用トランジスタ11aの各サイズ（チャネル幅W/チャネル長L）を、それぞれ対応して、本体セル51、本体セル側のカラム選択用トランジスタ10およびビット線トランスファゲート用トランジスタ11の各サイズと同一に設定しておくものとする。

【0016】従って、ダミーセル51を非書き込み状態に設定すると共にその制御ゲートに読み出し電源電位VCCを与えることにより、選択された本体セル51が非書き込み状態である場合にビット線53およびダミービット線53aには同じ電流量が流れることになる。

【0017】そこで、ダミーセル側ビット線負荷用トランジスタ13aのサイズを本体セル側ビット線負荷用トランジスタ13のサイズよりも大きく設定する（例えばチャネル幅Wを2倍に設定する）ことにより、ダミーセル側ビット線負荷用トランジスタ13aのコンダクタン

スを本体セル側ビット線負荷用トランジスタ13のコンダクタンسよりも高く設定しておく。これにより、ダミーセル側センス線14aの基準電位Vrefが、本体セル側センス線14の低レベルよりも高く、本体セル側センス線14の高レベルよりも低い値（本体セル側センス線14の低レベルと高レベルとの中間電位）となるように設定することが可能になる。

【0018】上記ROMにおいて、セルトランジスタ51は、回路動作のマージンを考慮すると、その閾値VTHを極力高く設定することが望ましく、また、製造時のバイン・テストなどにおいて、電源電圧の仕様の上限（例えば5.0±0.5Vの仕様では、5.5V）でもROMが正常に動作することが要求されるので、セルトランジスタの閾値VTHは8V以上であることが望ましい。

【0019】しかし、セルトランジスタ51の閾値VTHを8V以上にするために高濃度のイオン注入を行うと、基板の結晶格子にダメージが加わり、セルトランジスタ51のソース・ドレイン間にリーク電流が流れ、ROMの製造歩留りが低下することが分かっており、実際は、セルトランジスタ51の閾値VTHは5V程度に設定している。

【0020】図6は、上記本体セル51からの読み出し電位の“H”レベル、“L”レベルとダミーセル回路側からの基準電位Vrefについて、電源電位（VCC）依存性を示す。

【0021】本体セル51から“H”レベルを読み出す際のVCC依存性は、書き込み状態のセルトランジスタの閾値VTHが約5Vであるので、VCCが5Vを越えると書き込み状態のセルトランジスタにリーク電流が流れ始めて“H”レベルが低下し、特性の傾きが途中から緩やかになる（特性が折れ曲がる）。

【0022】これに対して、本体セル51から“L”レベルを読み出す際のVCC依存性は、VCCが5Vを越えても非書き込み状態のセルトランジスタにリーク電流は殆んど流れないので、特性が折れ曲がることはない。

【0023】一方、基準電位VrefのVCC依存性は、本体セル51から“L”レベルを読み出す際と殆んど同程度の電流がダミーセルに流れるので、ダミーセルにリーク電流は殆んど流れないので、特性が折れ曲がることはない。

【0024】従って、電源電位VCCを高くしていくと、本体セル51からの読み出し電位の“H”レベルと基準電位Vrefとが交差するので正常な動作を期待できなくなり、使用可能な電源電位の上限が低くなる。

【0025】そこで、本体セル51から“H”レベルを読み出す際の動作マージンを増加させるために、基準電位VrefのVCC依存性が“H”レベル読み出し時のVCC依存性と同様に折れ曲がるように設定することが考えられるが、逆に、“L”レベル読み出し時の動作マージン

5

が低下するので、好ましくない。

【0026】

【発明が解決しようとする課題】 上記したように従来のROMは、セルトランジスタの閾値 V_{TH} を比較的低く設定した場合に、電源電位 V_{CC} がセルトランジスタの閾値 V_{TH} を越えると、本体セルからの読み出し電位の“H”レベルと基準電位 V_{ref} とが交差して正常な動作を期待できなくなり、安定動作が可能な電源電位の上限が低くなるという問題があった。

【0027】 本発明は上記の問題点を解決すべくなされたもので、セルトランジスタの閾値 V_{TH} を比較的低く設定した場合でも、安定動作が可能な電源電位の上限を高くし得る読み出し専用記憶装置を提供することを目的とする。

【0028】

【課題を解決するための手段】 本発明は、メモリセルからビット線に読み出された電位をダミーセルからからダミービット線に読み出された基準電位と比較してセルデータを読み出すセンスアンプを用いた読み出し専用記憶装置において、メモリセルアレイにおける書き込み状態のセルトランジスタの閾値を等価的に検出してビット線負荷およびダミービット線負荷を制御することにより、セルトランジスタからの読み出し電位の電源電位依存性を補償する電源依存性補償回路とを具備することを特徴とする。

【0029】

【作用】 セルトランジスタの閾値 V_{TH} を比較的低く設定した場合に、電源電位 V_{CC} がセルトランジスタの閾値 V_{TH} を越えると、書き込み状態のセルトランジスタにリーク電流が流れる。この状態を電源依存性補償回路が検出してビット線負荷トランジスタをオンにするので、セルトランジスタのリーク電流を補うようになる。従って、本体セルから“H”レベルを読み出す際の V_{CC} 依存性が折れ曲がらなくなり、安定動作が可能な電源電位の上限が低くなる。

【0030】

【実施例】 以下、図面を参照して本発明の実施例を詳細に説明する。図1は、本発明の第1実施例として、仮想グランド方式のメモリセルを用いたCMOS型のマスクROMの一部を示している。

【0031】 このROMは、図5を参照して前述した従来のROMと比べて、書き込み状態のセルトランジスタの閾値を検出してビット線負荷（必要に応じて、さらにダミービット線負荷）を制御することにより、セルトランジスタからの読み出し電位の電源電位依存性を補償する電源依存性補償回路が付加されている点が異なり、その他は同じであるので図5中と同一符号を付している。

【0032】 即ち、図1において、50はROMセル51が行列状に配列されたメモリセルアレイであり、このメモリセルアレイ50における同一行のセルトランジスタ

6

53のゲートに共通にワード線52が接続され、上記メモリセルアレイ50における同一列のセルトランジスタ51のドレインに共通にビット線53が接続されている。

【0033】 本例では、メモリセルアレイ50は複数のメモリセルブロックに分割されており、例えば2個のメモリセルブロックで1つのビット線（金属配線）53を共用すると共に1つの仮想グランド線（図示せず）を共用し、この2個のメモリセルブロックを択一的に選択するために、ブロック選択用トランジスタ（図示せず）が接続されている。

【0034】 10はカラム選択用のエンハンスメント型Nチャネルトランジスタ、11はビット線トランスファゲート用のエンハンスメント型Nチャネルトランジスタ、12はビット線電位およびパワーダウン制御信号PDが入力し、出力を前記ビット線トランスファゲート用トランジスタ11のゲートに供給するフィードバック用の二入力ノアゲートである。

【0035】 13はゲート・ドレイン相互が接続されたビット線負荷用のエンハンスメント型Pチャネルトランジスタ、14はセンス線である。15は本体セル51からの読み出し電位をダミーセル回路側からの読み出し電位（基準電位 V_{ref} ）と比較して増幅することにより、本体セル51が書き込み状態であるか否かを判別する差動型センスアンプである。

【0036】 上記ダミーセル回路側において、51aは前記メモリセル51と同じ構造を有し、非書き込み状態のメモリセル51と等価な閾値を有し、ゲートに読み出し電位が印加される第1のダミーセルトランジスタ、53aはこの第1のダミーセルトランジスタ51aのソースあるいはドレインに接続された第1のダミービット線、10aは第1のダミービット線選択用のエンハンスメント型Nチャネルトランジスタであり、そのゲートには読み出し電位 V_{CC} が印加される。11aは第1のダミービット線53aに直列に挿入接続されたトランスファゲート用のエンハンスメント型Nチャネルトランジスタ、12aは上記トランスファゲート11aに対するフィードバック用の二入力ノアゲート、13aはゲート・ドレイン相互が接続されたダミービット線負荷用のエンハンスメント型Pチャネルトランジスタ、14aはダミーセル側センス線である。

【0037】 なお、前記メモリセルアレイ50のワード線52を選択するロウデコード、カラム選択トランジスタ10を制御する列デコードなどは、図示を省略している。一方、前記電源依存性補償回路は、セルトランジスタ閾値検知回路22、負荷制御回路24を含み、例えば図2に示すように構成される。

【0038】 図2に示す電源依存性補償回路において、53bは第2のダミービット線、51bはこの第2のダミービット線53bにソースあるいはドレインが接続さ

れ、前記メモリセル51と同じ構造を有し、書き込み状態のメモリセルと同じ閾値を有するようにイオン注入が行われ、ゲートに読み出し電位VCCが印加される第2のダミーセルトランジスタ、10bは第2のダミービット線選択用のエンハンスメント型Nチャネルトランジスタであり、そのゲートには読み出し電位VCCが印加される。11bは第2のダミービット線53bに直列に挿入接続されたトランスファゲート用のエンハンスメント型Nチャネルトランジスタ、12bは上記トランスファゲート11bに対するフィードバック用の二入力ノアゲートである。

【0039】13bはゲート・ドレイン相互が接続され、ゲートが接地電位VSSに接続された第2のダミービット線負荷用のエンハンスメント型Pチャネルトランジスタであり、後述するように第2のダミーセルトランジスタ51bからの“H”レベル読み出し時に発生するリーク電流の検出感度を良くするために、そのサイズを十分に小さく形成しておくことが望ましい。

【0040】22はデータ読み出し時に上記第2のダミービット線53bに流れる電流に基づいて前記第2のダミーセルトランジスタ51bの閾値を検出することにより等価的にセルトランジスタ51の閾値を検出するセルトランジスタ閾値検知回路である。

【0041】このセルトランジスタ閾値検知回路22は、例えば前記第2のダミービット線負荷用トランジスタ13bのドレイン電位が入力する二段接続されたインバータ回路23からなり、制御信号Bを出力する。

【0042】24は上記セルトランジスタ閾値検知回路22の検知出力Bを受けて前記ビット線53の負荷および第1のダミービット線53aの負荷を制御する負荷制御回路である。この負荷制御回路24は、VCCノードと前記センス線14aとの間に直列に接続された2個のPMOSトランジスタP1およびP2と、VCCノードと前記ダミーセンス線14aとの間に直列に接続された2個のPMOSトランジスタP1aおよびP2aからなる。

【0043】この場合、上記2個のPMOSトランジスタP1およびP2のうち、トランジスタP1のゲートは前記制御信号Bが与えられ、トランジスタP2のゲートはそのドレイン（センス線14aとの接続ノード）に接続されている。また、前記2個のPMOSトランジスタP1aおよびP2aのうち、トランジスタP1aのゲートは前記制御信号Bが与えられ、トランジスタP2aのゲートはそのドレイン（ダミーセンス線14aとの接続ノード）に接続されている。

【0044】次に、上記ROMのデータ読み出し動作について図3および図4を参照しながら説明する。図3は、前記セルトランジスタ閾値検知回路22の制御信号B出力のVCC依存性を示しており、図4は、前記セルトランジスタ51からの読み出し電位の“H”レベル、“L”レベルとダミーセル回路側からの基準電位Vref

についてVCC依存性を示している。

【0045】このROMのデータ読み出し動作は、基本的には図5に示したROMの動作と同様であるが、新たに付加されている電源依存性補償回路の動作が加わる。即ち、上記マスクROMにおいては、セルトランジスタ51の閾値VTHを比較的低く設定した場合に、電源電位VCCがセルトランジスタ51の閾値VTHを越えると、書き込み状態のセルトランジスタにリーク電流が流れる。

【0046】この際、VCCがVTHを越えると、セルトランジスタ閾値検知回路22の制御信号B出力が“H”レベルから“L”レベルに反転する。これにより前記PMOSトランジスタP1およびP1aがそれぞれオン状態になり、ビット線43の負荷電流および第1のダミービット線53aの負荷電流が大きくなる。この場合、負荷制御回路24の4個のPMOSトランジスタのサイズを適切に設定しておけば、セルトランジスタ51のリーク電流を補うようになる。

【0047】従って、リーク電流が流れ始めることによって“H”レベルが低下することがなくなり、特性の傾きが途中から緩やかになる（特性が折れ曲がる）ことがなくなり、安定動作が可能な電源電位の上限が低くなる。

【0048】なお、負荷制御回路24における第1のダミーセンス線14a側に接続されている2個のPMOSトランジスタP1aおよびP2aは、必ずしも用いなくともよい。

【0049】また、前記電源依存性補償回路は、少なくとも第2のダミービット線53bおよび第2のダミーセルトランジスタ51bを具備することにより、セルトランジスタ閾値検知回路22によりセルトランジスタ51の閾値を等価的に検出することが可能である。

【0050】また、上記実施例では、仮想グランド方式のメモリセルを用いたROMを示したが、従来のノア型ROMにおいてもセルトランジスタの閾値VTHをVCC付近に設定する場合には本発明を適用できる。

【0051】

【発明の効果】上述したように本発明によれば、セルトランジスタの閾値VTHを比較的低く設定した場合でも、安定動作が可能な電源電位の上限を高くし得るROMを実現することができる。

【図面の簡単な説明】

【図1】本発明の一実施例に係るマスクROMの一部を示す回路図。

【図2】図1中の電源依存性補償回路の一具体例を示す回路図。

【図3】図2中のセルトランジスタ閾値検知回路の制御信号B出力のVCC依存性を示す図。

【図4】図1のマスクROMにおけるセルトランジスタからの読み出し電位の“H”レベル、“L”レベルとダミーセル回路側からの基準電位Vref についてVCC依存

性を示す図。

【図5】従来のマスクROMの一部を示す回路図。

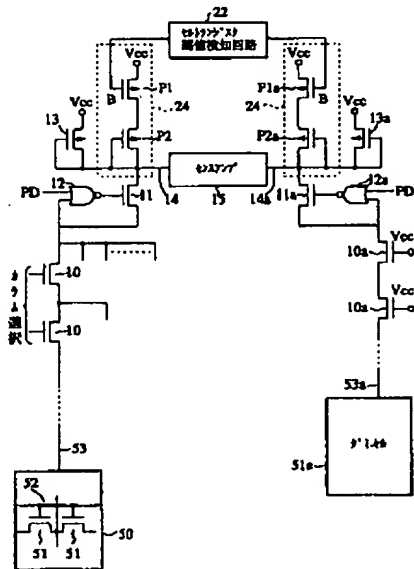
【図6】図5のマスクROMにおけるセルトランジスタからの読み出し電位の“H”レベル、“L”レベルとダミーセル回路側からの基準電位VrefについてVCC依存性を示す図。

【符号の説明】

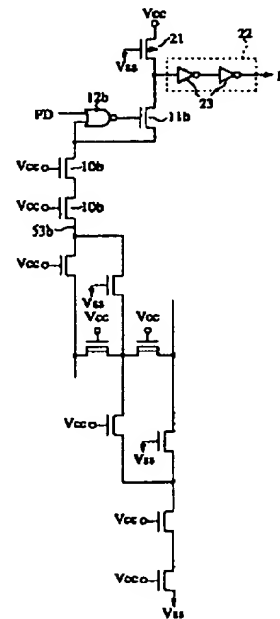
10…カラム選択用トランジスタ、11…ビット線トランスファゲート用トランジスタ、12…ノアゲート、13…ビット線負荷トランジスタ、14…センス線、10a…第1のダミービット線選択用トランジスタ、11a

…第1のダミービット線トランスファゲート用トランジスタ、12、12a…ノアゲート、13a…ダミービット線負荷トランジスタ、14a…ダミーセンス線、15…センスアンプ、10b…第2のダミービット線選択用トランジスタ、11b…第2のダミービット線トランスファゲート用トランジスタ、22…セルトランジスタ閾値検知回路、24…負荷制御回路、51…セルトランジスタ、51a…第1のタミーセルトランジスタ、51b…第2のタミーセルトランジスタ、53…ビット線、53a…第1のダミービット線、53b…第2のダミービット線。

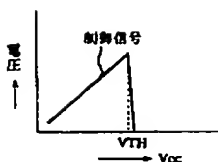
【図1】



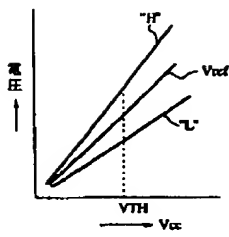
【図2】



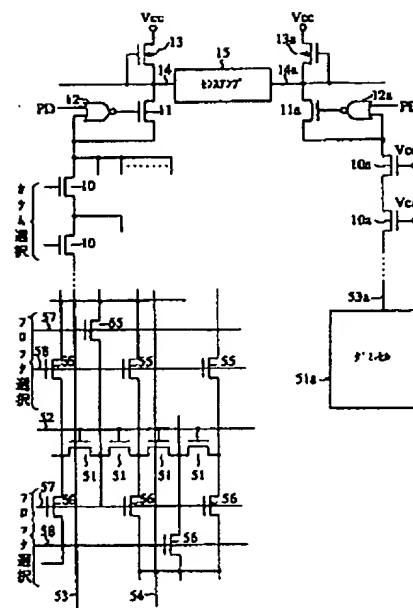
【図3】



【図4】



【図5】



【図6】

